

P-650

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-183214

(43)Date of publication of application : 30.06.2000

(51)Int.Cl.

H01L 23/12
H01L 21/3205

(21)Application number : 10-351785

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 10.12.1998

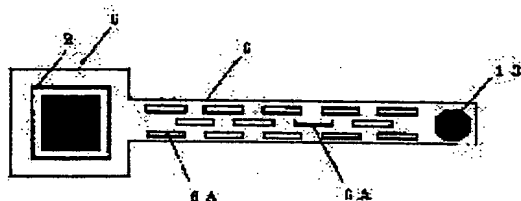
(72)Inventor : TAKAO YUKIHIRO
SHINOKI HIROYUKI

(54) CHIP-SIZED PACKAGE AND MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To effectively relax a stress in a Cu wiring by a method, wherein a plurality of slits provided in a wiring layer are rectangular and the long sides of the slits are properly arranged in the direction where the wiring layer is provided extendedly.

SOLUTION: A plurality of slits 6A are provided in a Cu wiring layer 6, the slits 6A are rectangular, the long sides of the slits 6A are arranged in such a way as to extend along the direction where the layer 6 is extendedly provided and the slits 6A are alternately arranged, whereby the slits are uniformly arranged, and the effect to relax stress in a Cu wiring can be increased. The width of the layer 6 is 50 to 100 μm , taking into consideration the current capacity and mechanical strength and the size of the slits is restricted by the processing accuracy of a photoresist, which is used in an electrolyte plating, but the length (the long sides) of the slits is 90 nm, the width (the short sides of the slits) of the slits is 10 μm and the distance between the adjacent slits is 10 μm or thereabouts. Accordingly, by providing the plurality of the slits in the Cu wiring layer, the stress in a Cu wiring is relaxed, and the deterioration of the characteristics of a transistor directly under the wiring layer can be prevented.



BEST AVAILABLE COPY

(19)日本国特許庁(JP)

(11) 特許出願公開番号

(11) 特許出國公團

特開2000-183214

(P2000-183214A)

(43)公團日 平成12年6月30日(2000.6.30)

(51)IntCl.	識別記号	PI	5-F-1*(参考)
H01L 23/12		H01L 23/12	L 5F033
21/3205		21/88	A
		23/12	Q

審査請求 未請求 請求項の数 4 OL (全 6 頁)

(21) 出願番号	願平10-351785	(71) 出願人	000001889 三洋電機株式会社
(22) 出願日	平成10年12月10日(1998.12.10)	(72) 発明者	高尾 幸弘 大阪府守口市京阪本通2丁目5番5号 三
		(73) 発明者	榊木 裕之 三洋電機株式会社内 大阪府守口市京阪本通2丁目5番5号 三
		(74) 代理人	10011383 三洋電機株式会社内 弁理士 芝野 正雄

最終頁に接く

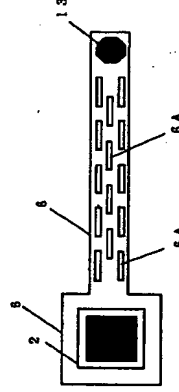
(54) 【発明の名称】 チップサイズパッケージ及びその製造方法

【57】【25】

【課題】Cu配線のストレス（応力）を緩和し、直下のトランジスタの特性劣化を防止する。

【解決手段】 凡線図6に複数のスリット6Aを設けた。

これらのスリット6Aは長方形であって前記配線路6の延在方向にその長辺を揃えることにより、効果的にストラスを緩和することができる。



2: 金属電極バッド 6: 配線層
6A: スリット 13: 半導体

BEST AVAILABLE COPY

柱状端子13上には半田ボールが設置されてもよい。さらに、これらのA1電極パッド2と柱状端子13との間を配線するために、Cuから成る(再)配線層6がチップ上を延在している。なお、図のように、すべての柱状端子13が配線されるわけではなく、必要な柱状端子13のみを選択して配線がなされる。

【0012】図2は、図1における破線で囲まれた部分の拡大図である。すなわち、1組のA1電極パッド2、配線層6、柱状端子13を拡大した平面図である。配線層6には複数のスリット6A(配線層に設けられた孔)が設けられている。

【0013】スリット6Aは、長方形であって、その長辺を配線層の延在方向に沿うよう配列している。また、スリットは互いに配列することにより、均一に配列し、ストレス緩和効果を増すことができる。

【0014】配線層6の幅は、電流容量や機械的強度を考慮すると50 μ m~100 μ mである。スリットの寸法は、後に説明する電解メッキで用いるホトレジストの加工精度により制約を受けるが、長さ(長辺):90 μ m、幅(短辺):10 μ m隣接するスリット間の距離は100 μ m程度である。

【0015】次に、本発明のチップサイズパッケージの製造方法について、図3乃至図10を参照しながら説明する。

【0016】まず、図3に示すように、A1電極パッド2を有するLSIが形成された半導体基板1(ウェーハ)を準備し、半導体基板1の表面をSiN膜などのパッシベーション膜3で被覆する。

【0017】A1電極パッド2はLSIの外部接続用のパッドである。その表面のパッシベーション膜3をエッチングによって取り除き、全面にバリウム金属4を形成する。バリウム金属4は、後に形成する配線層6とA1電極パッド2との間に介在してA1電極パッド2を保護するバリアであり、クロム(Cr)、チタン(Ti)などをスパッタして形成する。

【0018】次に、A1電極パッド2に接続する配線層6を形成する。この配線層6は機械的強度を確保するために5 μ m程度に厚く形成する必要があり、電解メッキ法を用いて形成するのが適当である。

【0019】図4に示すように、バリウム金属4上であって配線層6を形成する予定領域を除く領域にホトレジスト層5を形成する。このとき、配線層6上のスリット6Aを形成する予定領域にもホトレジスト層5を形成する。

【0020】そして、バリウム金属4をメッキの電極として利用し、ホトレジスト層5で覆われていないバリウム金属4上にCuのメッキ層からなる配線層6を形成する。このとき、配線層6上にスリット6Aが同時に形成される。

【0021】この後、ホトレジスト層5を除去し、さら

に、配線層6をマスクとして用いてエッチングを行い、バリウム金属4の不要部分を除去する。

【0022】次に、図5に示すように、第1のポリイミド層7を全面に塗布し、露光・現像により、配線層6上の第1のポリイミド層7に第1の開孔部8を形成する。第1のポリイミド層7としては、感度の良いネガ系ポリイミドを用いるのが好ましい。その厚さは、最大で20 μ m~25 μ mである。第1の開孔部8の開孔率は、50 μ m程度がよい。

【0023】また、現像後は200 $^{\circ}$ C程度の温度で第1のポリイミド層をベークングするとよい。これは、次工程で形成する第2のポリイミド層とのミキシングを防止するためである。

【0024】次に、図6に示すように、第2のポリイミド層9を全面に塗布する。この第2のポリイミド層9もネガ系ポリイミドを用いるのが好ましい。その厚さは、第1のポリイミド層7と同様、最大で20 μ m~25 μ mである。第1の開孔部8は、第2のポリイミド層9によって満たされる。次に、図7に示すように、第2のポリイミド層9を露光・現像することにより、第1の開孔部8上に第2の開孔部10を形成する。第2の開孔部10は平面的に第1の開孔部8と重なる位置に形成され、第1の開孔部8に満たされたポリイミドも除去され、配線層6の表面は露出される。ここで、第2のポリイミド層9としてネガ系ポリイミドを用いると、その露光領域後、露光された領域には、露光により硬化した第2のポリイミド層9が残る。第2の開孔部10となる領域のポリイミド層9が残り、第2の開孔部10となる領域のポリイミド層9は現像液の作用を受けて除去されるのである。このように、ネガ系ポリイミドを用いることにより、第1の開孔部8に満たされたポリイミド層9をその下の層まで感光させる必要がなく、平坦層上に塗布された本来の膜厚を有するポリイミド層を感光させればよい。これにより、20 μ m~25 μ mの厚い第2のポリイミド層9を被覆しても、第2の開孔部10を形成することができる。

【0025】また、第2の開孔部10の端は、第1の開孔部8の端よりも外側に離れて位置させることが好ましい。すなわち、図5における Δ ($\Delta>0$)が生じるようにホトレジストを設計する。これにより、露光により硬化したホトレジスト全体にわたって確実に形成でき、ポリイミドの解像不良を防止できる。

【0026】次に、図8に示すように、メッキのためのシード層11を全面に形成する。このシード層はメッキの際の電極となるものであり、Cuをスパッタして形成することができる。そして、シード層11上にホトレジスト層12を形成する。ホトレジスト層12は、第1、第2の開孔部8、10上に開口を有するように、ホトレジスト層12により加工する。

【0027】次に、図9に示すように、電解メッキによ

りCuから成る、柱状端子としてのメタル・ポスト13、バリウム層14、半田パンプ15を順次形成する。バリウム層14としては、Pb、Snを含む半田パンプに対するバリア性を考慮して、Pt系の金属、例えばAu、Niこれらの積層膜を用いるのがよい。

【0028】最後に、図10に示すように、ホトレジスト層12を除去し、半田パンプ15をマスクとして、シード層11の不要部分をエッチングにより除去する。そして、半導体基板1をダイシング工程により、スクライブラインに沿ってチップ2に分割し、チップサイズパッケージとして完成する。

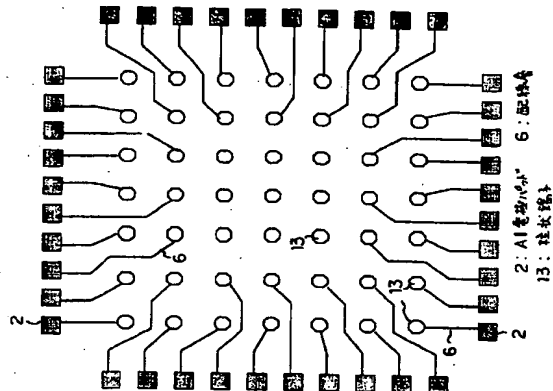
【0029】このように、ネガ系ポリイミドを用いることにより、40 μ m~50 μ mという厚塗りのポリイミド層を形成できる。この結果、メタル・ポストも40 μ m~50 μ mと長く形成することができ、封止樹脂を用いないチップサイズ・パッケージにおいても、メタル・ポストにかかる応力が緩和され、信頼性を向上させることができる。

【0030】

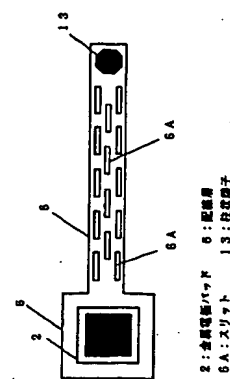
【発明の効果】本発明のチップサイズパッケージによれば、Cu配線層に複数のスリットを設けることにより、ストレス(応力)を緩和し、直下のトランジスタの特性劣化を防止することができる。

【0031】また、本発明のチップサイズパッケージの製造方法によれば、電解メッキ法により、Cu配線層の

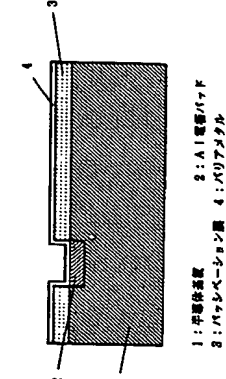
【図1】



【図2】

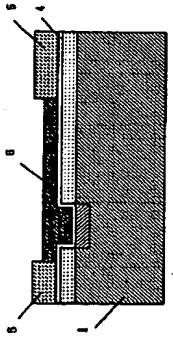


【図3】



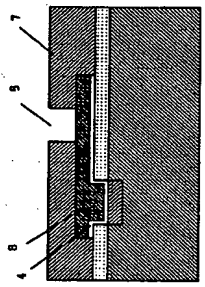
1:半導体基板 2:A1電極パッド
3:パッシベーション膜 4:バリウム金属

【図4】



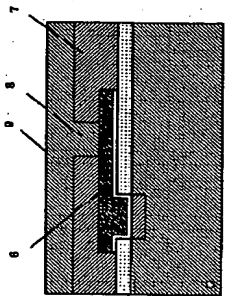
3:ゲート電極
4:ソース・ドレイン領域

【図5】



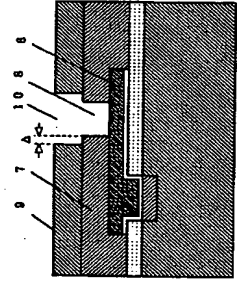
7:第1のポリシリコン層
8:第1の開口部

【図6】



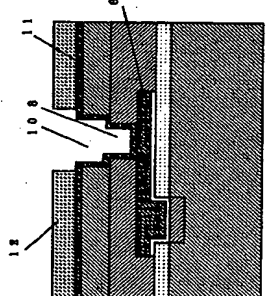
9:第2のポリシリコン層

【図7】



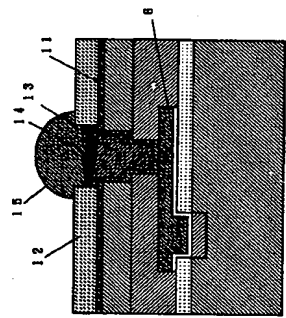
10:第2の開口部

【図8】



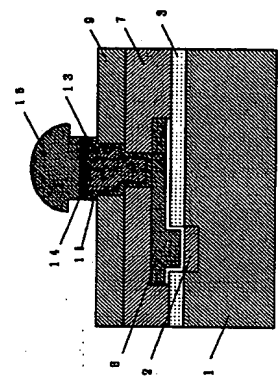
11:リードフレーム
12:サニタライズド層

【図9】

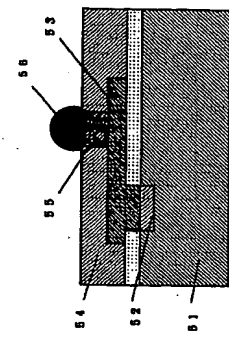


13:メタル・ダスト
14:バリフ層
15:半田バンプ

【図10】



【図11】



51:チップ
52:A1電極
53:絶縁層
54:絶縁層
55:メタル・ダスト
56:半田バンプ

フロントページの続き

Fターム(参考) 5F033 HH11 HH18 JJ01 JJ11 JJ18
KK08 MM05 MM13 MM22 PP15
PP27 QQ08 RR06 RR22 SS21
WW07 XX19